

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 7: H01L	A2	(11) Internationale Veröffentlichungsnummer: WO 00/49642 (43) Internationales Veröffentlichungsdatum: 24. August 2000 (24.08.00)
<p>(21) Internationales Aktenzeichen: PCT/DE00/00298</p> <p>(22) Internationales Anmeldedatum: 1. Februar 2000 (01.02.00)</p> <p>(30) Prioritätsdaten: 199 06 291.9 15. Februar 1999 (15.02.99) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, D-81541 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): LICHTER, Gerd [DE/DE]; Finkenweg 3, D-01471 Radeburg (DE).</p> <p>(74) Gemeinsamer Vertreter: INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).</p>	<p>(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i></p>	

(54) Title: **SEMICONDUCTOR STRUCTURE WITH A STRIP CONDUCTOR**

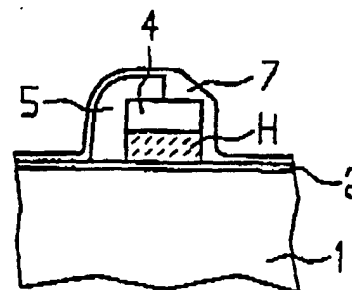
(54) Bezeichnung: **HALBLEITERSTRUKTUR MIT EINER LEITBAHN**

(57) Abstract

The invention relates to a semiconductor structure with a strip conductor that is separate from an underlying insulating layer on a support by way of a cavity. According to the method for producing said structure the strip conductor is first structured on a double layer and then provided with an insulating layer. An opening is etched into the insulating cover and the lower, conducting layer is selectively removed. The invention provides a method of producing an antiparallel wiring while facilitating easy programming of MOS transistors.

(57) Zusammenfassung

Die Halbleiterstruktur weist eine Leitbahn auf, die durch einen Hohlraum von einer unterliegenden isolierenden Schicht auf einem Träger getrennt ist. Das Herstellungsverfahren sieht vor, die Leitbahn zunächst auf einer Doppelschicht zu strukturieren und mit einer isolierenden Abdeckung zu versehen, eine Öffnung in die isolierende Abdeckung zu ätzen und dann die untere leitende Schicht selektiv zu entfernen. Damit kann einerseits eine kapazitätsarme Verdrahtung hergestellt werden, andererseits ist damit die Programmierung von MOS-Transistoren in einfacher Weise möglich.



11017 U.S. PTO
09/930409

